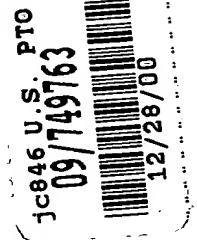


#2 3-29-01 JC

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshitaka EGAWA, et al.  
SERIAL NO: NEW APPLICATION  
FILED: Herewith  
FOR: SOLID-STATE IMAGING DEVICE

GAU:  
EXAMINER:



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

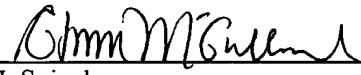
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-375475	December 28, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak  
Registration No. 24,913  
C. Irvin McClelland  
Registration Number 21,124



22850

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

1c846 U.S. PTO  
09/749763  
12/28/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 1 2 月 2 8 日

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 3 7 5 4 7 5 号

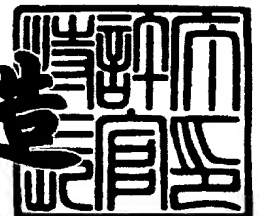
出 願 人  
Applicant (s):

株式会社東芝

2 0 0 0 年 9 月 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 7 3 1 6 8

【書類名】 特許願

【整理番号】 A009906519

【提出日】 平成11年12月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 固体撮像装置

【請求項の数】 8

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 江川 佳孝

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 大澤 慎治

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 中村 信男

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 遠藤 幸雄

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 画素への入射光を光電変換して信号電荷を蓄積する光電変換手段、蓄積した信号電荷を検出部に読み出す読み出し手段および読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されており、複数の画素行を有する撮像領域と、

前記読み出し手段に印加される読み出し駆動信号を、内部制御に応じて互いに異なる複数の電圧のいずれかに設定するための読み出し電圧切換回路

とを具備することを特徴とする固体撮像装置。

【請求項 2】 画素への入射光を光電変換して信号電荷を蓄積する光電変換手段、蓄積した信号電荷を検出部に読み出す読み出し手段および読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されており、複数の画素行を有する撮像領域と、

前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数の読み取り線と、

前記複数の画素行のそれぞれにおける読み出しのタイミングを制御するためのパルス信号として、各画素行に対し複数のパルス生成するパルス生成回路と、

前記複数のパルスのうち一部のパルスに対応して前記読み出し手段に印加される読み出し駆動信号の電圧を、前記複数のパルスのうち他のパルスに対応して前記読み出し手段に印加される読み出し駆動信号の電圧とは異ならせるための読み出し電圧切換回路と、

前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線

とを具備することを特徴とする固体撮像装置。

【請求項 3】 前記パルス発生回路は、前記複数のパルスとしてダイナミックレンジ拡大読み出し用のパルスおよび通常読み出し用のパルスを順次発生し、

前記読み出し電圧切換回路は、前記ダイナミックレンジ拡大読み出し用のパル

スに対応する読み出し駆動信号の電圧を、前記通常読み出し用のパルスに対応する読み出し駆動信号の電圧より低い電圧に設定することを特徴とする請求項 2 記載の固体撮像装置。

【請求項 4】 前記パルス発生回路は、前記複数のパルスとして電子シャッタ用のパルス、ダイナミックレンジ拡大読み出し用のパルスおよび通常読み出し用のパルスを順次発生し、

前記読み出し電圧切換回路は、前記ダイナミックレンジ拡大読み出し用のパルスに対応する読み出し駆動信号の電圧を、前記電子シャッタ用のパルスに対応する読み出し駆動信号の電圧および通常読み出し用のパルスに対応する読み出し駆動信号の電圧より低い電圧に設定することを特徴とする請求項 2 記載の固体撮像装置。

【請求項 5】 前記パルス生成回路から供給される前記複数のパルスに対応して、前記複数本の読み取り線に読み出し駆動信号を選択的に供給し、前記撮像領域における各画素行の読み出し手段を複数回駆動させる垂直駆動手段をさらに具備したことを特徴とする請求項 2 記載の固体撮像装置。

【請求項 6】 前記垂直駆動手段は、前記複数のパルスにそれぞれ対応する複数の読み出し駆動信号をいずれも水平駆動期間に出力することを特徴とする請求項 5 記載の固体撮像装置。

【請求項 7】 前記複数の垂直信号線に伝送された信号をデジタル信号に変換する AD 変換器をさらに具備し、

前記垂直駆動手段は、前記複数のパルスにそれぞれ対応する複数の読み出し駆動信号のうちの少なくとも 1 つを水平有効期間に出力し、

前記 AD 変換器は、前記水平有効期間に読み出し駆動信号が出力される時には信号変換を停止するように制御される

ことを特徴とする請求項 5 記載の固体撮像装置。

【請求項 8】 前記撮像領域は、前記光電変換手段で蓄積された電荷が読み出される検出部の電荷をリセットするリセット手段をさらに有し、

前記垂直駆動手段は、前記リセット手段を駆動するためのリセット信号を各読み出し駆動信号に先んじて供給することを特徴とする請求項 5 乃至 7 のいずれか

1 項に記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光電変換手段で得られた信号電荷を増幅して取り出す増幅型の固体撮像装置に係り、特にCMOS型のイメージセンサの画素信号読み出し駆動回路に関するもので、例えば電子シャッタ制御動作が可能なビデオカメラ、電子スチルカメラなどに使用される。

【0 0 0 2】

【従来の技術】

近年、ビデオカメラや電子スチルカメラ等への応用に適した固体撮像装置として知られる増幅型のCMOSイメージセンサは、各セル毎に光電変換手段で得られた信号をMOS トランジスタで増幅して取り出す構造を有している。具体的には、光電変換手段が生成した信号電荷を電荷の検出部に読み出し、この検出部の電位を画素内部の増幅トランジスタで増幅することにより、画素内部に増幅機能を持たせている。

【0 0 0 3】

このようなCMOSイメージセンサは、高感度で画素数の増加やイメージサイズの縮小による画素サイズの縮小化に適していることから、低消費電力であることとも相俟ってますます期待されつつある。

【0 0 0 4】

図9は、1画素毎に画素信号の読み出しが可能な読み出し回路を備えた従来の33万画素の増幅型CMOSイメージセンサの構成を概略的に示している。

【0 0 0 5】

図9において、撮像領域には1画素／1ユニットの単位セル1が二次元の行列状に配置されて形成されている。各単位セル1は、例えば4個のトランジスタTa、Tb、Tc、Tdと、1個のフォトダイオードPDから構成される。即ち、各単位セル1は、アノード側に接地電位が与えられるフォトダイオードPDと、フォトダイオードPDのカソード側に一端側が接続されている読み出しトランジスタ（シャッタ

ゲートトランジスタ) Tdと、読み出しトランジスタTdの他端側にゲートが接続されている増幅トランジスタTbと、増幅トランジスタTbの一端側に一端側が接続されている垂直選択トランジスタ(行選択トランジスタ) Taと、増幅トランジスタTbのゲートに一端側が接続されているリセットトランジスタTcとを具備する。

【0006】

また、撮像領域には、各画素行に対応して、同一行の単位セル1 の各読み出しトランジスタTdのゲートに共通に接続された読み取り線4 と、同一行の単位セル1 の各垂直選択トランジスタTaのゲートに共通に接続された垂直選択線6 と、同一行の単位セル1 の各リセットトランジスタTcのゲートに共通に接続されたりセット線7 が形成されている。

【0007】

また、撮像領域には、各画素列に対応して、同一列の単位セル1 の各増幅トランジスタTbの他端側に共通に接続された垂直信号線VLINと、同一列の単位セル1 の各リセットトランジスタTcの他端側および各垂直選択トランジスタTaの他端側に共通に接続された電源線9 が形成されている。

【0008】

さらに、撮像領域の一端側の外部には、前記垂直信号線VLINの各一端側と接地ノードとの間にそれぞれ接続され、ゲートにバイアス電圧VVL が供給される複数の負荷トランジスタTLが水平方向に配置されている。

【0009】

また、撮像領域の他端側の外部には、例えば2個のトランジスタTSH、TCLPと2個のコンデンサCc、Ctから構成されたノイズキャンセラ回路が水平方向に複数個配置されている。そして、上記各ノイズキャンセラ回路を介して前記垂直信号線VLINの各他端側に接続された複数の水平選択トランジスタTHが水平方向に配置されている。

【0010】

さらに、水平選択トランジスタTHの各他端に共通に水平信号線HLINが接続されており、この水平信号線HLINには水平リセットトランジスタ(図示せず) および出力増幅回路AMP が接続されている。

## 【0011】

なお、前記各ノイズキャンセラ回路は、垂直信号線VLINの他端側に一端側が接続されたサンプルホールド用のトランジスタTSHと、このサンプルホールド用のトランジスタTSHの他端側に一端側が接続された結合コンデンサCcと、この結合コンデンサCcの他端側と接地ノードとの間に接続された電荷蓄積用のコンデンサCtと、これらの2つのコンデンサCc、Ctの接続ノードに一端側が接続され、他端側にバイアス電圧VVCが供給される電位クランプ用のトランジスタTCLPとからなり、上記2つのコンデンサCc、Ctの接続ノードに水平選択トランジスタTHの一端側が接続されている。

## 【0012】

また、撮像領域の外部には、撮像領域の複数の垂直選択線6を走査的に選択制御するための垂直シフトレジスタ2と、垂直シフトレジスタ2の出力パルスを選択制御して撮像領域の各行の読み取り線4などを走査的に駆動するためのパルスセクタ2aと、水平選択トランジスタTHを走査的に駆動するための水平シフトレジスタ3が配置されている。

## 【0013】

さらに、撮像領域の外部には、外部入力パルス信号に基づいて各種の内部信号を所定のタイミングで生成し、パルスセクタ2a、水平シフトレジスタ3、ノイズキャンセラ回路などに供給するタイミング発生回路10と、前記ノイズキャンセラ回路の電位クランプ用のトランジスタTCLPの一端などに所定のバイアス電位を発生するためのバイアス発生回路11が配置されている。

## 【0014】

図10は、図9に示した固体イメージセンサの動作の一例を示すタイミング波形図である。次に、図10を参照しながら、図9の固体イメージセンサの動作を説明する。

## 【0015】

各フォトダイオードPDの入射光が光電変換されて生じた信号電荷はフォトダイオードPD内に蓄積される。

## 【0016】

水平無効期間において、ある一行分の単位セル1 からフォトダイオードPDの信号電荷を読み出す際、まず、各垂直信号線VLINを選択するために、垂直選択パルス信号 $\phi$  ADRES に同期して選択対象行の垂直選択線6の信号（ $\phi$  ADRES<sub>i</sub>パルス）を活性化することにより一行分の行選択トランジスタTaをオンにする。

【0017】

このように選択された一行分の単位セル1 について、行選択トランジスタTaを介して電源電位VDD（例えば3.3 V）が供給される増幅トランジスタTbと負荷トランジスタTLからなるソースフォロワ回路を動作させる。

【0018】

次に、選択された一行分の単位セル1 において、リセットパルス信号 $\phi$  RESET に同期してリセット線7の信号（ $\phi$  RESET<sub>i</sub>パルス）を活性化することにより、増幅トランジスタTbのゲート（信号検出ノード、信号検出部DN）の電圧を基準電圧に一定期間リセットし、垂直信号線VLINに基準電圧を出力する。但し、ここでリセットされた一行分の単位セル1 の増幅トランジスタTbのゲート電位にはばらつきが存在し、その他端側の垂直信号線VLINのリセット電位は不均一になる。

【0019】

そこで、各垂直信号線VLINのリセット電位の不均一を打ち消すために、予めノイズキャンセラ回路におけるサンプルホールド用トランジスタTSH の駆動信号（ $\phi$  SHパルス）を活性化しておく。さらに、垂直信号線VLINに基準電圧が出力された後に電位クランプ用のトランジスタTCLPの駆動信号（ $\phi$  CLP パルス）を一定時間オンにすることにより、ノイズキャンセラ回路のコンデンサCc、Ctの接続ノードに基準電圧を設定する。

【0020】

次に、リセット線7の信号（ $\phi$  RESET<sub>i</sub>パルス）を非活性化した後、読み出しパルス信号 $\phi$  READに同期して所定行の読み取り線4を選択してその信号（ $\phi$  READ<sub>i</sub>パルス）を活性化することにより、読み出しトランジスタTdをオンにし、フォトダイオードPDの蓄積電荷を増幅トランジスタTbのゲートに読み出すことによりゲート電位を変化させる。増幅トランジスタTbは、ゲート電位の変化量に応じた電圧信号を対応する垂直信号線VLINおよびノイズキャンセラ回路に出力する。

【 0 0 2 1 】

この後、ノイズキャンセラ回路における  $\phi$  SH パルスをオフすることにより、前記したように読み出された基準電圧と信号電圧の差分に相当する信号成分、換言すれば、ノイズが除去された信号電圧を、対応する水平選択トランジスタ TH が活性化されるまで電荷蓄積用のコンデンサ  $C_t$  に蓄積する。

【 0 0 2 2 】

そして、垂直選択線 6 の信号 ( $\phi$  ADRESi パルス) が非活性化され、垂直選択トランジスタ Ta がオフ状態に制御されて単位セルが非選択状態にされることにより、撮像領域と各ノイズキャンセラ回路とが電氣的に分離される。

【 0 0 2 3 】

この後の水平有効期間には、タイミング発生回路 10 からの水平リセット信号 HRS によるリセット後、水平タイミング信号 HCK に同期して水平シフトレジスタ 3 のシフト動作が行われる。これにより、水平選択トランジスタ TH の駆動信号 ( $\phi$  H パルス) を順次活性化し、水平選択トランジスタ TH を順次オンさせる。

【 0 0 2 4 】

このようにして、ノイズキャンセラ回路におけるコンデンサ  $C_c$ 、 $C_t$  の接続ノード (信号保存ノード) の信号電圧が水平信号線 HLIN に順次読み出され、出力増幅回路 AMP により増幅されて出力する。なお、上述したようなノイズ除去動作は、1 水平線毎の読み出し動作毎に行われる。

【 0 0 2 5 】

図 1 1 は、図 1 0 中のタイミング発生回路 10 および垂直シフトレジスタ 2 の動作例を示すタイミング波形図である。ここでは、図 9 の CMOS イメージセンサが 1 フィールド (フレーム) = 1 / 30Hz の VGA 方式で 사용되는場合を示している。

【 0 0 2 6 】

タイミング発生回路 10 には、外部から入力する 15.7KHZ のパルス信号  $\phi$  HP、24 MHz のクロック信号  $\phi$  CK がバッファ回路 (図示せず) で整形されて入力する。垂直シフトレジスタ 2 には、外部から入力する 30Hz のパルス信号  $\phi$  VR、15.7KHZ のパルス信号  $\phi$  HP がバッファ回路 (図示せず) で整形されて入力する。

【 0 0 2 7 】

垂直シフトレジスタ 2 は、入力するパルス信号  $\phi_{VR}$  が “L” レベルの期間にレジスタ出力を全てクリアして “L” レベルにした後、パルス信号  $\phi_{HP}$  によりシフト動作を行って出力パルス信号  $R0i$  ( $i=\dots, n, n+1, \dots$ ) を順次 “H” レベルにし、パルスセクタ 2a に入力する。

【0 0 2 8】

パルスセクタ 2a は、各選択行に対して垂直選択線 6 の信号 ( $\phi_{ADRESi}$  パルス)、リセット線 7 の信号 ( $\phi_{RESETi}$  パルス)、読み取り線 4 の信号 ( $\phi_{READi}$  パルス) を活性化し、選択対象行を走査する。

【0 0 2 9】

上記したように、図 9 の CMOS イメージセンサは、特定の選択対象行を選択制御するための垂直シフトレジスタ 2 の各出力パルス信号  $R0i$  を、1 フィールド期間内に 1 回しか出力しない。即ち、フォトダイオード PD は、1 フィールドに 1 回しか蓄積電荷を放出しないので、フォトダイオード PD の信号蓄積時間を制御することによって露光時間を調整する電子シャッタ動作を行うことができない。

【0 0 3 0】

しかし、一般に CMOS イメージセンサのような固体撮像装置は、室内や野外、さらには昼間あるいは夜間といった多様な外光の下で使用される傾向がある。したがって、外光の変化等に応じて、フォトダイオードにおける電荷蓄積期間を制御することにより露光時間を調整し、ひいては感度を最適値に設定する電子シャッタ動作が必要となる場合が多い。

【0 0 3 1】

そこで、上述したような図 9 の CMOS イメージセンサに対して、出力パルス信号  $R0i$  を出力する垂直シフトレジスタ 2 とは別に、この垂直シフトレジスタ 2 に先んじて各画素行を選択制御する電子シャッタ用の垂直シフトレジスタを設ければ、これら 2 本の垂直シフトレジスタからの各出力パルス信号に基づき各画素行のフォトダイオードの信号蓄積時間を制御することができ、結果的に電子シャッタ動作を行なうことが可能となる。

【0 0 3 2】

【発明が解決しようとする課題】

ここで、電子シャッタ動作が可能な増幅型のCMOSイメージセンサの構成を図12に概略的に示し、図12中の垂直シフトレジスタの動作波形を図13に示す。

#### 【 0 0 3 3 】

図12において、電子シャッタ用の垂直シフトレジスタ20には、外部入力パルス信号である30Hzの $\phi$  ES、15.7KHZ の $\phi$  HPがそれぞれバッファ回路（図示せず）で整形されてフィールド周期および水平周期で入力される。この電子シャッタ用の垂直シフトレジスタ20は、入力するパルス信号 $\phi$  ESが“L”レベルの期間にレジスタ出力を全てクリアして“L”レベルにした後、パルス信号 $\phi$  HPによりシフト動作を行なって出力パルス信号ESi ( $i=\dots, n, n+1, \dots$ )を順次“H”レベルにし、パルスセクタ2aに入力する。

#### 【 0 0 3 4 】

パルスセクタ2aは、2本の垂直シフトレジスタ2、20からの出力パルス信号R0i、ESiが“H”レベルである画素行に対して、リセット線7の信号（ $\phi$  RESETiパルス）、読み取り線4の信号（ $\phi$  READiパルス）を活性化するように、撮像領域の画素行を走査する。但し、垂直選択線6の信号（ $\phi$  ADRESiパルス）については、読み出し用の垂直シフトレジスタ2からの出力パルス信号R0iが“H”レベルである選択対象行のみが活性化され、走査される。

#### 【 0 0 3 5 】

こうして図13に示すように、各画素行における読み取り線4の信号（ $\phi$  READiパルス）は、2本の垂直シフトレジスタ20、2により1フィールド期間内に2度活性化される。即ち、電子シャッタ用の垂直シフトレジスタ20および読み出し用の垂直シフトレジスタ2からの出力パルス信号ESi、R0iのそれぞれに対応させて、信号蓄積タイミングと信号読み出しタイミングを設定できるので、結果としてフォトダイオードPDでの電荷蓄積時間を制御した電子シャッタ動作が可能となっている。

#### 【 0 0 3 6 】

上述したように、図12に示したCMOSイメージセンサにおいては、信号蓄積タイミング、信号読み出しタイミングのいずれの場合も、タイミング発生回路10から供給される読み出しパルス信号 $\phi$  READに同期してパルスセクタ2aから読み取り

線 4 に読み出し駆動信号が出力される。これにより、フォトダイオードPDにおける電荷蓄積時間を1 H単位で制御できる電子シャッタ動作が可能となっている。

【 0 0 3 7 】

一方、CMOSイメージセンサは、昼間の野外等入射光量が極めて多い環境下での用途が十分予想されるが、こうした環境下でも高輝度側がクリップされるおそれを伴わず常に良好な画像を得る必要がある。このためには、フォトダイオードPDの電荷蓄積時間を1 H未満に低減した高速の電子シャッタ動作を実現することが望まれる。

【 0 0 3 8 】

このような事情に鑑み、本願出願人は、フォトダイオードにおける最小の電荷蓄積時間を1 H未満に制御することができ、非常に高速の電子シャッタ動作を行なうことが可能な固体撮像装置を提案（特願平11-286469 号）した。

【 0 0 3 9 】

ところで、前述したような図9あるいは図12に示したCMOSイメージセンサは、室内から窓際の人物を撮影すると人物が暗く撮影されたり、感度を人物に合わせると窓の景色が白くなり再現できないなどダイナミックレンジが小さいという問題がある。さらに、ダイナミックレンジは単位セルに蓄積できる信号電荷量で決まるので、画素のセルサイズが小さくなったり、駆動電圧が低くなると、信号蓄積部の容量が低下して飽和信号量が減少し、ダイナミックレンジが低下する。このダイナミックレンジが小さいと小信号から大信号領域までを撮影することができなくなる。

【 0 0 4 0 】

本願出願人は、このようなダイナミックレンジが小さいという問題を解決する1つの方式を既に提案（特願平10-185121 号）した。この提案に係る方式は、ある期間にフォトダイオードで生成されて信号検出部に読み出された電荷の量の一部を捨てることにより信号検出部の電荷を制限し、この後の期間においてフォトダイオードで生成された電荷を読み出して前記信号検出部に蓄積されている電荷に加算するものである。しかし、前記した増幅型のCMOSイメージセンサにおける読み出し駆動制御にとってさらに適したダイナミックレンジ拡大方式が望まれる

【 0 0 4 1 】

本発明は上記の課題を解決すべくなされたもので、増幅型のCMOSイメージセンサのダイナミックレンジを大幅に拡大することができ、小信号から大信号までクリップされずに良好な画像を得ることが可能になる固体撮像装置を提供することを目的とする。

【 0 0 4 2 】

また、本発明の他の目的は、増幅型のCMOSイメージセンサで電子シャッタ動作を実行しながら、ダイナミックレンジを大幅に拡大することができ、小信号から大信号までクリップされずに良好な画像を得ることが可能になる固体撮像装置を提供することにある。

【 0 0 4 3 】

【課題を解決するための手段】

本発明の第 1 の固体撮像装置は、画素への入射光を光電変換して信号電荷を蓄積する光電変換手段、蓄積した信号電荷を検出部に読み出す読み出し手段および読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、前記読み出し手段に印加される読み出し駆動信号を、内部制御に応じて互いに異なる複数の電圧のいずれかに設定するための読み出し電圧切換回路とを具備することを特徴とする。

【 0 0 4 4 】

本発明の第 2 の固体撮像装置は、画素への入射光を光電変換して信号電荷を蓄積する光電変換手段、蓄積した信号電荷を検出部に読み出す読み出し手段および読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数の読み取り線と、前記複数の画素行のそれぞれにおける読み出しのタイミングを制御するためのパルス信号として、各画素行に対し複数のパルスを生成するパルス生成回路と、前記複数のパルスのうち一部のパルスに対応して前記読み出し手段に

印加される読み出し駆動信号の電圧を、前記複数のパルスのうち他のパルスに対応して前記読み出し手段に印加される読み出し駆動信号の電圧とは異ならせるための読み出し電圧切換回路と、前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線とを具備することを特徴とする。

【0045】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0046】

<第1の実施の形態>

図1は、本発明の第1の実施の形態に係る増幅型のCMOSイメージセンサの構成を概略的に示している。

【0047】

図1のCMOSイメージセンサは、図12に示したCMOSイメージセンサと比べて、大部分は同様であるが、次の点が異なり、その他は同じであるので図12中と同一符号を付している。

【0048】

(1) ダイナミックレンジ制御用の外部入力パルス $\phi_{DR}$ に基づいてダイナミックレンジ制御用のパルス $DR_i$  ( $i=\dots, n, n+1, \dots$ )を順次生成する垂直シフトレジスタ30が付加されている。

【0049】

換言すれば、読み出しトランジスタ $T_d$ における読み出しのタイミングを制御するためのパルス信号として各画素行に対し3個のパルス $ES_i$ 、 $DR_i$ 、 $RO_i$ を生成するパルス生成回路(3本の垂直シフトレジスタ2、20、30)を有する。

【0050】

(2) ダイナミックレンジ制御用のパルス $DR_i$ に対応して読み出しトランジスタ $T_d$ に印加される読み出し駆動信号の電圧 $V_{DR}$ を、電子シャッタ用のパルス $ES_i$ および通常読み出し用のパルス $RO_i$ に対応して読み出しトランジスタ $T_d$ に印加される読み出し駆動信号の電圧 $V_{DD}$ よりも低く設定するための $V_{READ}$ 発生回路31が

付加されている。

【 0 0 5 1 】

換言すれば、読み出しトランジスタTdに印加される読み出し駆動信号の電圧（読み出し電圧VREAD）を複数の電圧値VDD、VDRのうちのいずれかに制御する機能を有する読み出し電圧切換回路が付加されている。

【 0 0 5 2 】

ここで、上記VREAD発生回路31の一具体例を説明する。抵抗R1、R2が直列に接続された分圧回路の一端に電圧VDDが印加され、この一端にスイッチ素子S1を介して出力ノードが接続されている。上記抵抗R1、R2の直列接続ノードは、スイッチ素子S2を介して前記出力ノードに接続され、分圧回路の他端はスイッチ素子S3を介して接地ノードに接続されている。そして、切り換え制御信号φVPによりスイッチ素子S2、S3をスイッチ制御し、切り換え制御信号φVPをインバータ回路IVにより反転した信号によりスイッチ素子S1をスイッチ制御する。

【 0 0 5 3 】

これにより、スイッチ素子S1、S2、S3のうちでS1がオン状態、S2およびS3がオフ状態に制御されている時にはVDDが出力ノードにVREADとして出力し、S2およびS3がオン状態、S1がオフ状態に制御されている時にはVDDが分圧され、VDRが出力ノードにVREADとして出力する。

【 0 0 5 4 】

(3) パルスセクタ回路2bは、3本の垂直シフトレジスタ2、20、30の出力信号ROi、ESi、DRiを選択し、VREAD発生回路31から供給される読み出し電圧VREAD（VDDまたはVDR）に設定された読み出し駆動信号を出力する垂直駆動手段として機能する。

【 0 0 5 5 】

(4) タイミング発生回路10aは、VREAD発生回路31に切り換え制御信号φVPを供給し、パルスセクタ回路2bにダイナミックレンジ制御用のパルス信号φDR READを供給する機能を有するように構成されている。

【 0 0 5 6 】

即ち、図1において、撮像領域には1画素／1ユニットの単位セル1が二次元

の行列状に配置されて形成されている。各単位セル1 は、例えば4 個のトランジスタTa、Tb、Tc、Tdと、1 個のフォトダイオードPDから構成される。即ち、各単位セル1 は、アノード側に接地電位が与えられるフォトダイオードPDと、フォトダイオードPDのカソード側に一端側が接続されている読み出しトランジスタ（シャッタゲートトランジスタ）Tdと、読み出しトランジスタTdの他端側にゲートが接続されている増幅トランジスタTbと、増幅トランジスタTbの一端側に一端側が接続されている垂直選択トランジスタ（行選択トランジスタ）Taと、増幅トランジスタTbのゲートに一端側が接続されているリセットトランジスタTcとを具備する。

【0057】

また、撮像領域には、各画素行に対応して、同一行の単位セル1 の各読み出しトランジスタTdのゲートに共通に接続された読み取り線4 と、同一行の単位セル1 の各垂直選択トランジスタTaのゲートに共通に接続された垂直選択線6 と、同一行の単位セル1 の各リセットトランジスタTcのゲートに共通に接続されたリセット線7 が形成されている。

【0058】

また、撮像領域には、各画素列に対応して、同一列の単位セル1 の各増幅トランジスタTbの他端側に共通に接続された垂直信号線VLINと、同一列の単位セル1 の各リセットトランジスタTcの他端側および各垂直選択トランジスタTaの他端側に共通に接続された電源線9 が形成されている。

【0059】

さらに、撮像領域の一端側の外部には、前記垂直信号線VLINの各一端側と接地ノードとの間にそれぞれ接続され、ゲートにバイアス電圧VVL が供給される複数の負荷トランジスタTLが水平方向に配置されている。

【0060】

また、撮像領域の他端側の外部には、例えば2 個のトランジスタTSH、TCLPと2 個のコンデンサCc、Ctから構成された複数のノイズキャンセラ回路が水平方向に配置されている。そして、上記各ノイズキャンセラ回路を介して前記垂直信号線VLINの各他端側に接続された複数の水平選択トランジスタTHが水平方向に配置

されている。

【 0 0 6 1 】

さらに、水平選択トランジスタTHの各他端に共通に水平信号線HLINが接続されており、この水平信号線HLINには水平リセットトランジスタ（図示せず）および出力増幅回路AMP が接続されている。

【 0 0 6 2 】

なお、前記各ノイズキャンセラ回路は、垂直信号線VLINの他端側に一端側が接続されたサンプルホールド用のトランジスタTSH と、このサンプルホールド用のトランジスタTSH の他端側に一端側が接続された結合コンデンサCcと、この結合コンデンサCcの他端側と接地ノードとの間に接続された電荷蓄積用のコンデンサCtと、これらの2つのコンデンサCc、Ctの接続ノードに一端側が接続され、他端側にバイアス電圧VVC が供給される電位クランプ用のトランジスタTCLPとからなり、上記2つのコンデンサCc、Ctの接続ノードに水平選択トランジスタTHの一端側が接続されている。

【 0 0 6 3 】

また、撮像領域の外部には、撮像領域の複数の垂直選択線6を走査的に選択制御するための読み出し用の垂直シフトレジスタ2、電子シャッタ用の垂直シフトレジスタ20およびダイナミックレンジ制御用の垂直シフトレジスタ30と、上記3個の垂直シフトレジスタ2、20、30の出力パルスを選択制御して撮像領域の各行の読み取り線4などを走査的に駆動するためのパルスセクタ2bと、複数の水平選択トランジスタTHを走査的に駆動するための水平シフトレジスタ3が配置されている。

【 0 0 6 4 】

さらに、撮像領域の外部には、外部入力パルス信号 $\phi$ HP、 $\phi$ CKに基づいてパルスセクタ2b、水平シフトレジスタ3、ノイズキャンセラ回路、VREAD 発生回路31などに供給する各種の内部制御信号（パルスセクタ2bに供給するための $\phi$ R0 READ、 $\phi$ ESREAD、 $\phi$ DSREAD、 $\phi$ RESET、 $\phi$ ADRES、ノイズキャンセラ回路に供給するための $\phi$ SH、 $\phi$ CLP、VREAD 発生回路31に供給するための $\phi$ VP、水平シフトレジスタ3に供給するためのHRS、HCKなどのパルス信号）を所定のタイミング

で生成するタイミング発生回路10a と、前記ノイズキャンセラ回路の電位クランプ用のトランジスタTCLPの一端などに所定のバイアス電位を発生するためのバイアス発生回路11が配置されている。

【0065】

前記電子シャッタ用の垂直シフトレジスタ20は、外部入力パルス信号 $\phi$ ES、 $\phi$ HPがそれぞれバッファ回路（図示せず）で整形されてフィールド周期および水平周期で入力されると、 $\phi$ ESが“L”レベルの期間にレジスタ出力を全てクリアして“L”レベルにした後、パルス信号 $\phi$ HPによりシフト動作を行なって出力パルス信号ESi（ $i=\dots, n, n+1, \dots$ ）を順次“H”レベルにし、パルスセクタ2bに入力する。本例では、電子シャッタ用のパルス信号ESi は水平無効期間内に生成される。

【0066】

前記ダイナミックレンジ制御用の垂直シフトレジスタ30は、外部入力パルス信号 $\phi$ DR、 $\phi$ HPがそれぞれバッファ回路（図示せず）で整形されてフィールド周期および水平周期で入力されると、 $\phi$ DRが“L”レベルの期間にレジスタ出力を全てクリアして“L”レベルにした後、パルス信号 $\phi$ HPによりシフト動作を行なって出力パルス信号DRi（ $i=\dots, n, n+1, \dots$ ）を順次“H”レベルにし、パルスセクタ2bに入力する。本例では、ダイナミックレンジ制御用のパルス信号DRi は水平無効期間内に生成される。

【0067】

前記読み出し用の垂直シフトレジスタ2は、外部入力パルス信号 $\phi$ VR、 $\phi$ HPがそれぞれバッファ回路（図示せず）で整形されてフィールド周期および水平周期で入力されると、 $\phi$ VRが“L”レベルの期間にレジスタ出力を全てクリアして“L”レベルにした後、パルス信号 $\phi$ HPによりシフト動作を行って出力パルス信号R0i（ $i=\dots, n, n+1, \dots$ ）を順次“H”レベルにし、パルスセクタ2bに入力する。本例では、読み出し用のパルス信号R0i は水平無効期間内に生成される。

【0068】

そして、前記タイミング発生回路10a から $\phi$ VPパルスを受ける前記VREAD 発生回路31は、読み出し電圧VREAD をVDD もしくはVDR に切り換えて前記パルスセ

クタ2bに供給する。この場合、 $\phi$  VPの“L”期間はVREAD をVDD に設定し、 $\phi$  VPの“H”期間はVDD より低いVDR にVREAD を設定する。

【0069】

図2は、図1中のパルスセクタ2bの一例を示す回路図である。

【0070】

図2に示すパルスセクタ2bは、電子シャッタ用の垂直シフトレジスタ20の出力パルス信号ESi（本例ではESn）、ダイナミックレンジ制御用の垂直シフトレジスタ30の出力パルス信号DRi（本例ではDRn）、読み出し用の垂直シフトレジスタ2の出力パルス信号ROi（本例ではROn）が入力するとともに、前記タイミング発生回路10aから供給されるタイミング信号 $\phi$  ADRES、 $\phi$  RESET、 $\phi$  ESREAD、 $\phi$  DRREAD、 $\phi$  ROREADが入力し、これらの入力信号の論理処理を行って垂直選択線駆動信号 $\phi$  ADRESi（ $i=\dots, n, n+1, \dots$ ）、リセット信号 $\phi$  RESETi（ $i=\dots, n, n+1, \dots$ ）、読み出し駆動信号 $\phi$  READi（ $i=\dots, n, n+1, \dots$ ）を出力する（撮像領域に供給する）ように論理ゲートにより構成されている。

【0071】

即ち、電子シャッタ用の垂直シフトレジスタ20の出力信号ESiが活性状態の時にはタイミング信号 $\phi$  ESREADを選択して駆動信号 $\phi$  ESREADiとして出力し、ダイナミックレンジ制御用の垂直シフトレジスタ30の出力信号DRiが活性状態の時にはタイミング信号 $\phi$  DRREADを選択して駆動信号 $\phi$  DRREADiとして出力し、読み出し用の垂直シフトレジスタ2の出力信号ROiが活性状態の時にはタイミング信号 $\phi$  ROREADを選択して駆動信号 $\phi$  ROREADiとして出力する。これらの読み出し駆動信号 $\phi$  READiは、VREADによって電圧振幅が制御され、 $\phi$  ESREADiおよび $\phi$  ROREADiの電圧はVDD、 $\phi$  DRREADiの電圧はVDRである。

【0072】

また、電子シャッタ用の垂直シフトレジスタ20の出力信号ESi、ダイナミックレンジ制御用の垂直シフトレジスタ30の出力信号DRi、読み出し用の垂直シフトレジスタ2の出力信号ROiのいずれか1つが活性状態の時には、タイミング信号 $\phi$  RESETを選択してリセット信号 $\phi$  RESETiとして出力する。

【0073】

また、読み出し用の垂直シフトレジスタ2 の出力信号R0i が活性状態の時にはタイミング信号  $\phi$  ADRES を選択して垂直選択線駆動信号  $\phi$  ADRESiとして出力する。

【0 0 7 4】

次に、図1のCMOSイメージセンサの動作を説明する。

【0 0 7 5】

図1のCMOSイメージセンサの基本的な動作は、図9を参照して前述したCMOSイメージセンサの動作と同じであるので、ここでは概略的に述べる。

【0 0 7 6】

まず、 $\phi$  ADRESiをオンにし、ソースフォロワ回路を動作させる。次に、 $\phi$  RESETiをオンにし、信号検出部DNをリセットする。この後、信号検出部DNの電位を基準電圧として出力する。この時、 $\phi$  SHと $\phi$  CLP をオンにし、ノイズキャンセラ回路で基準の電圧を設定する。

【0 0 7 7】

次に、 $\phi$  READi をオンにすることにより、フォトダイオードPDで光電変換して蓄積した信号電荷を読み出し、増幅トランジスタTbを介してソースフォロワ回路を経てノイズキャンセラ回路へ出力する。ノイズキャンセラ回路へ出力した信号電圧は、 $\phi$  SHをオフにすることにより、有効期間にわたってコンデンサCtに蓄積することができる。コンデンサCtに蓄積した信号電圧は、有効期間に水平選択トランジスタTHに $\phi$  Hiを順次印加することにより水平信号線HLINに出力する。

【0 0 7 8】

次に、図1のCMOSイメージセンサの動作の特徴部分を詳細に説明する。

【0 0 7 9】

図3は、図1のCMOSイメージセンサにおける電子シャッタ動作、ダイナミックレンジ制御（拡大）動作、読み出し動作を説明するために、図1中のタイミング発生回路10a、3本の垂直シフトレジスタ2、20、30、水平シフトレジスタ3およびパルスセクタ2bの動作例を示すタイミング波形図である。ここでは、図1のCMOSイメージセンサが1フィールド（1フレーム）= 1/30HzのVGA方式の撮像システムで使用される場合を示している。

【 0 0 8 0 】

タイミング発生回路10a は、 $\phi$  HPパルスを受け、水平無効期間内に $\phi$  ADRES 、 $\phi$  RESET 、 $\phi$  ESREAD、 $\phi$  DRREAD、 $\phi$  ROREAD、 $\phi$  SH、 $\phi$  CLP 、 $\phi$  VPのパルスを出力し、HRS 、HCK などのパルスも出力する。

【 0 0 8 1 】

水平シフトレジスタ3 は、タイミング発生回路10a からHRS パルス、HCK パルスを受け、水平有効期間に $\phi$  Hi ( $i=\dots, n, n+1, \dots$ ) パルスを順次出力する。

【 0 0 8 2 】

電子シャッタ用の垂直シフトレジスタ20は、ダイナミックレンジ制御用の垂直シフトレジスタ30および読み出し用の垂直シフトレジスタ2に先立ち、 $\phi$  ESをトリガとしてリセットされ、その後に $\phi$  HPに同期してES $i$  を順次出力する。このES $i$  に対応してパルスセクタ2bから読み取り線4 へ駆動信号 $\phi$  ESREAD $i$  が出力し、画素行の選択動作が行なわれる。

【 0 0 8 3 】

この後、ダイナミックレンジ制御用の垂直シフトレジスタ30は、 $\phi$  DRをトリガとしてリセットされ、その後に $\phi$  HPに同期してDR $i$  を順次出力する。このDR $i$  に対応してパルスセクタ2bから読み取り線4へ駆動信号 $\phi$  DRREAD $i$  が出力し、画素行の選択動作が行なわれる。

【 0 0 8 4 】

この後、読み出し用の垂直シフトレジスタ2 は、 $\phi$  VRをトリガとしてリセットされ、その後に $\phi$  HPに同期してR0 $i$  を順次出力する。このR0 $i$  に対応してパルスセクタ2bから読み取り線4へ駆動信号 $\phi$  ROREAD $i$  が出力し、画素行の選択動作が行なわれる。

【 0 0 8 5 】

図4 は、図1 のCMOSイメージセンサの外部入力パルス信号 $\phi$  ES、 $\phi$  DR、 $\phi$  VR、 $\phi$  HPと垂直シフトレジスタ2、20、30の各出力信号R0 $i$ ,ES $i$ ,DR $i$  の波形を示す。

【 0 0 8 6 】

垂直シフトレジスタ2、20、30は、対応して入力パルス $\phi$  VR、 $\phi$  ES、 $\phi$  DRによってリセットされた後、入力パルス $\phi$  HPに同期してシフト動作を行い、出力パル

スROI,ESi,DRi を発生する。

【 0 0 8 7 】

図5は、図1のCMOSイメージセンサの撮像領域におけるn本目の水平ラインの動作に着目した信号の波形を示す。ここで、HBLKは、1水平期間を水平無効期間と水平有効期間とに分けるための制御パルス信号である。

【 0 0 8 8 】

まず、時刻t0には、n本目のラインのフォトダイオードは光信号を電荷に変換して蓄積している。次に、時刻t1までに、電子シャッタ用の垂直シフトレジスタ20の出力パルスESn が“H”になり、 $\phi$  RESETnと $\phi$  READn（この時の電圧はVDD）がパルスセクタ2bより出力される。この1発目の $\phi$  RESETnにより信号検出部DNをリセットした後、1発目の $\phi$  READnによりフォトダイオードの蓄積電荷を全て読み出す。この後の時刻t1から再びフォトダイオードで信号電荷を蓄積する。

【 0 0 8 9 】

次に、ダイナミックレンジ制御用の垂直シフトレジスタ30の出力パルスDRn が“H”になり、 $\phi$  RESETnと $\phi$  READn（この時の電圧はVDR）がパルスセクタ2bより出力される。この2発目の $\phi$  RESETnにより信号検出部DNをリセットした後、 $\phi$  READnによりフォトダイオードの蓄積電荷のうちの所定以上の大きな信号電荷のみを読み出す。この時、フォトダイオードで所定以上の大きな信号電荷が蓄積されていない場合は、信号電荷は読み出されない。この動作は、2発目の読み出し駆動信号 $\phi$  READnの電圧VDRの振幅を前記VDDより低く設定することにより実現できる。この動作は、VDDが3.3Vの時、VDRは1Vから3.3V未満の範囲で実験により確認した。この後の時刻t2から再びフォトダイオードで信号電荷を蓄積する。

【 0 0 9 0 】

次に、信号読み出し用の垂直シフトレジスタ2の出力パルスR0n が“H”になり、 $\phi$  ADRESnと $\phi$  RESETnと $\phi$  READn（この時の電圧はVDD）がパルスセクタ2bより出力される。この3発目の $\phi$  RESETnにより信号検出部DNをリセットした後、3発目の $\phi$  READnによりフォトダイオードの蓄積電荷を全て読み出す。このように読み出した蓄積電荷を $\phi$  ADRESnにより垂直信号線VLINへ信号として読み出す。

## 【 0 0 9 1 】

なお、同一水平無効期間内でESn、DRn、R0nを同時に“H”にしない場合は、 $\phi$  RESETnは3発発生しなくても1発で動作が可能であり、図3中のリセットパルス信号 $\phi$  RESETを1発目のみ出力することができる。また、タイミング発生回路10aからのタイミング信号 $\phi$  ESREADも共通化して、電子シャッタ動作時の駆動信号 $\phi$  READnと信号読み出し時の駆動信号 $\phi$  READnを同じ位相にすることができる。

## 【 0 0 9 2 】

図6は、図5中に示した時刻t0～t3までのフォトダイオードPDの動作を説明するために、半導体領域上のフォトダイオードPD、信号検出部DN、信号読み出し用トランジスタTdの断面構造およびポテンシャル電位の変化を概略的に示す。

## 【 0 0 9 3 】

pウェルあるいはp基板からなるシリコン基板上に、フォトダイオードPDとn型領域からなる信号検出部DNが形成されている。フォトダイオードPDは、n型領域の表面にp型領域が形成されてなる。信号読み出し用トランジスタTdは、フォトダイオードPDのn型領域と信号検出部DNとの間をチャンネル領域とし、その上にゲート絶縁膜を介して形成された例えばポリシリコンゲート電極（読み出しゲート電極）を有する。

## 【 0 0 9 4 】

時刻t0には、フォトダイオードPDは光信号を電荷に変換して蓄積している。

## 【 0 0 9 5 】

時刻t1の電子シャッタ用の読み出し動作時には、読み出しゲート電極下はポテンシャル電位PVDDとなり、これより深いポテンシャルの井戸を有する信号検出部DNにフォトダイオードPDの蓄積電荷を全て読み出す。そして、再びフォトダイオードPDで信号電荷を蓄積する。

## 【 0 0 9 6 】

時刻t2のダイナミックレンジ制御（拡大）用の読み出し動作時には、読み出しゲート電極下はポテンシャル電位PVDRとなる。この際、フォトダイオードPDの蓄積電荷のうちでポテンシャル電位PVDRより溢れる大信号電荷が蓄積されている場

合は、上記ポテンシャル電位PVDRより溢れる信号電荷をフォトダイオードPDより読み出す。これに対して、フォトダイオードPDで前記ポテンシャル電位PVDRより少ない小信号の電荷しか蓄積されていない場合は、ポテンシャル電位PVDRより少ない信号電荷は読み出されない。

【0097】

読み出し動作直前の時刻 $t_3$ にフォトダイオードPDで信号電荷を再び蓄積しているが、この蓄積電荷は、前述した電子シャッタ動作後蓄積したESR 信号電荷とダイナミックレンジ制御動作後蓄積したHDR 信号電荷を合わせたものである。

【0098】

上記ESR 信号電荷は、蓄積時間が長いのでその光電変換の傾きが大きく、HDR 信号電荷は、蓄積時間が短いのでその光電変換の傾きが小さくなっている。つまり、小信号の電荷を蓄積する場合は、蓄積時間が長いESR 信号電荷のみ蓄積しているので、その光電変換の傾きが大きい。これに対して、大信号の電荷を蓄積する場合には、所定値以上の電荷（HDR 信号電荷）に対する光電変換の傾きが小さくなり、結果として、ダイナミックレンジが拡大されている。

【0099】

図7は、図1のCMOSイメージセンサの光電変換特性の一例を示す。

【0100】

図中、ある一定値の信号電荷（KNEE点）までを発生する小さな領域の光入力信号に対しては、ESR 信号電荷で蓄積されるので、実線で示すように光電変換の傾きが大きくなる。KNEE点より大きい信号電荷を発生する大きな領域の光入力信号に対しては、HDR 信号電荷で蓄積されるので、点線で示すように光電変換の傾きが小さくなり、高ダイナミック（DR）動作が可能になっている。上記ESR 信号電荷の蓄積による光電変換の傾きは、電子シャッタ動作の蓄積時間 $T_S$ で決まる。

【0101】

なお、HDR 信号電荷の蓄積による光電変換の傾きは、ダイナミックレンジ制御動作の蓄積時間 $T_D$ で制御できる。

【0102】

また、KNEE点は、読み出し駆動信号 $\phi_{READn}$ の電圧 $V_{DD}$ と $V_{DR}$ の差で制御する

ことができる。例えば、電子シャッタ動作の蓄積時間TSを1/10に短かくすることにより、ダイナミックレンジをさらに10倍と大幅に拡大することが可能になる。

【0103】

また、図1に示したCMOSイメージセンサにおいては、外部入力パルス信号をタイミング発生回路10aで有効に利用して各種の信号を生成させるので、例えばパルスセクタ2b等における著しい回路規模の増大を招くことなく、低コストで非常に高速の電子シャッタ動作が実現できる。

【0104】

なお、上記実施の形態では、ダイナミックレンジ制御用の読み出し駆動信号の電圧を1つの電圧値VDRとしたが、これを複数の電圧値VDR1、VDR2、…の中から任意に選択し得るように構成することにより、ダイナミックレンジの特性を任意の変更するようにしてもよい。

【0105】

<第2の実施の形態>

図8は、本発明の第2の実施の形態に係る増幅型CMOSイメージセンサの構成を概略的に示す。

【0106】

このCMOSイメージセンサは、ノイズ除去機能を備えたAD変換回路21を内蔵しており、複数の垂直信号線VLINに伝送されたアナログ信号をAD変換回路21でデジタル信号に変換して外部に出力するものである。

【0107】

以下、図1に示したCMOSイメージセンサと異なる点を中心に説明する。

【0108】

即ち、図8に示すCMOSイメージセンサ中のAD変換回路21内には、各画素列毎に垂直信号線VLINの端部に接続された比較器CMPが水平方向に配置されている。この比較器CMPは、垂直信号線VLINからのアナログ信号と基準信号発生回路22が出力する参照信号VREFとの電圧比較動作を行なう。この参照信号VREFは、基本的には時間の経過とともに電圧が上昇していくランプ(RAMP)波であり、比較器CMPは、ノイズが除去された信号電圧と参照信号VREFの電圧とが均衡するタイミング

をカウントし、そのカウント値をラッチすることにより、アナログ信号を10ビットのデジタル信号に変換する。

## 【0 1 0 9】

なお、比較器CMP は、図 1 中のノイズキャンセラ回路と同様に基準電圧と信号電圧の差分を得るために、図示しないサンプルホールド用のコンデンサを有しており、ここでノイズが除去された信号電圧が生成される。

## 【0 1 1 0】

さらに、AD変換回路21内には、各画素列毎の比較器CMP とそれぞれ対応するようにラッチ回路LATCH およびスイッチ回路SWが水平方向に配列されている。ラッチ回路LATCH は、比較器CMP から出力される10ビットのデジタル信号を保持し、スイッチ回路SWは、水平シフトレジスタ 3 から供給される駆動信号 ( $\phi_{Hn}$ パルス) により順次オンすることにより、各ラッチ回路LATCH の保持したデジタル信号をそのビット数分の本数の出力信号線DATA0 ~DATA9 に順次読み出す。

## 【0 1 1 1】

上述したようなAD変換回路21および基準信号発生回路22には、タイミング発生回路10b からカウント信号ADCX、水平同期信号HAD が入力し、その動作が制御されている。

## 【0 1 1 2】

なお、図示の通り、外部入力パルス信号 $\phi_{VR}$ 、 $\phi_{ES}$ 、 $\phi_{DR}$ 、 $\phi_{HP}$ を直接に 3 本の垂直シフトレジスタ 2、20、30に入力してもよいが、フィールド周期あるいは水平周期で供給される外部入力パルス信号 $\phi_{VR}$ 、 $\phi_{ES}$ 、 $\phi_{DR}$ 、 $\phi_{HP}$ をタイミング発生回路10b に入力し、ここで内部パルス信号を生成して 3 本の垂直シフトレジスタ 2、20、30に入力しても構わない。

## 【0 1 1 3】

また、必要に応じて、コマンド信号が外部から入力されるコマンドデコーダ回路をタイミング発生回路10b に接続し、コマンドデコーダ回路の出力信号でタイミング発生回路10b やAD変換回路21のゲイン、オフセット等を調整するようにしてもよい。

## 【0 1 1 4】

図 8 に示す CMOS イメージセンサでは、例えば、タイミング発生回路 10b からパルスセクタ 2b に出力される制御信号の供給タイミングを変更して、電子シャッタ用の駆動信号  $\phi$  READi やダイナミックレンジ制御用の水平有効期間に発生いさせることができ、ひいては図 5 における電子シャッタ動作の蓄積時間 TS およびダイナミックレンジ制御動作の蓄積時間 TD を変化させる際の自由度が広がるので、高ダイナミック動作を制御する点で有利である。これは次のような理由による。即ち、水平有効期間に電子シャッタパルス信号  $\phi$  ESREAD あるいはダイナミックレンジ制御パルス信号  $\phi$  DRREAD がパルスセクタ 2b に入力され、水平有効期間に電子シャッタ用あるいはダイナミックレンジ制御用の読み出し駆動信号  $\phi$  READ i が撮像領域に入力されると、この時の電源電圧や接地電圧の揺れの発生によりアナログ信号中へのノイズの飛び込みが生じるおそれがある。これを避けるために、図 8 の CMOS イメージセンサは、水平有効期間における電子シャッタパルス信号  $\phi$  ESREAD あるいはダイナミックレンジ制御パルス信号  $\phi$  DRREAD の入力前後を通じて、タイミング信号発生回路 10b からのカウント信号 ADCK による制御に基づいて、AD 変換回路 21 および基準信号発生回路 22 の動作を一時的に停止させることが可能となっている。

## 【 0 1 1 5 】

例えば図 1 に示したような CMOS イメージセンサにおいては、水平有効期間では 1 水平線分のアナログ信号を水平信号線 H<sub>1</sub> LIN に順次読み出しており、ここで外部からパルス信号が供給されると、電源電圧や接地電圧の揺れに起因してアナログ信号にノイズが飛び込む可能性がある。

## 【 0 1 1 6 】

これに対して、図 8 に示した CMOS イメージセンサにおいては、アナログ信号をデジタル信号に AD 変換した後に、水平有効期間に 1 水平線分のデジタル信号を出力信号線 DATA0 ～ DATA9 に読み出すので、こうしたデジタル信号に対しては、電源電圧や接地電圧の揺れによるノイズの飛び込みは殆んど無視することができる。また、AD 変換前のアナログ信号に関しても、電子シャッタパルス信号  $\phi$  ESREAD あるいはダイナミックレンジ制御パルス信号  $\phi$  DRREAD の入力前後で、図 8 中のランプ波 RAMP の波形に示されるように、AD 変換回路 21 および基準信号発生回路 22 の

動作を一時的に停止させることにより、電源電圧や接地電圧の揺れに起因するノイズの飛び込みを回避することが可能となる。

【0 1 1 7】

なお、AD変換回路21を内蔵していない図1に示したようなCMOSイメージセンサについても、アナログ信号中へのノイズの飛び込みの影響を補正する補正回路を設けることや、互いに電氣的に分離された電源、接地電圧系の回路ブロックを混在させること等により、水平有効期間における電子シャッタパルス信号φESREADあるいはダイナミックレンジ制御パルス信号φDRREADの入力時の電源電圧や接地電圧の揺れによるノイズの飛び込みの回避が可能である。

【0 1 1 8】

また、各CMOSイメージセンサにおいて、撮像領域中の各単位セルは、4個のトランジスタと1個のフォトダイオードからなる1画素／1ユニットのものに特に限定されず、5個のトランジスタと2個のフォトダイオードからなる2画素／1ユニットの単位セルを形成しても構わない。さらに、単位セルとしては、光電変換手段を積層した積層型であってもよく、その他本発明の主旨を逸脱しない範囲内で種々変形して実施することができる。

【0 1 1 9】

【発明の効果】

上述したように本発明の固体撮像装置によれば、増幅型のCMOSイメージセンサのダイナミックレンジを大幅に拡大することができ、小信号から大信号までクリップされずに良好な画像を得ることができる。

【0 1 2 0】

また、本発明の固体撮像装置によれば、増幅型のCMOSイメージセンサで電子シャッタ動作を実行しながら、ダイナミックレンジを大幅に拡大することができ、小信号から大信号までクリップされずに良好な画像を得ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る増幅型のCMOSイメージセンサの構成を概略的に示すブロック図。

【図 2】

図 1 中のパルスセクタの一例を示す回路図。

【図 3】

図 1 の CMOS イメージセンサにおける電子シャッタ動作、ダイナミックレンジ制御（拡大）動作、読み出し動作を説明するために示すタイミング波形図。

【図 4】

図 1 の CMOS イメージセンサの外部入力パルス信号  $\phi$  ES、 $\phi$  DR、 $\phi$  VR、 $\phi$  HP と垂直シフトレジスタの各出力信号  $ROi$ ,  $ESi$ ,  $DRi$  を示す波形図。

【図 5】

図 1 の CMOS イメージセンサの撮像領域における  $n$  本目の水平ラインの動作に着目した信号を示す波形図。

【図 6】

図 5 中に示した時刻  $t_0 \sim t_3$  までのフォトダイオードの動作を説明するために断面構造およびポテンシャル電位の変化を概略的に示す図。

【図 7】

図 1 の CMOS イメージセンサの光電変換特性の一例を示す特性図。

【図 8】

本発明の第 2 の実施の形態に係る増幅型 CMOS イメージセンサの構成を概略的に示すブロック図。

【図 9】

従来の増幅型の CMOS イメージセンサの構成を概略的に示すブロック図。

【図 10】

図 9 に示した固体イメージセンサの動作の一例を示すタイミング波形図。

【図 11】

図 10 中のタイミング発生回路および垂直シフトレジスタの動作例を示すタイミング波形図。

【図 12】

電子シャッタ動作が可能な増幅型の CMOS イメージセンサの構成を概略的に示すブロック図。

【図 1 3】

図12中の垂直シフトレジスタの動作を示すタイミング波形図。

【符号の説明】

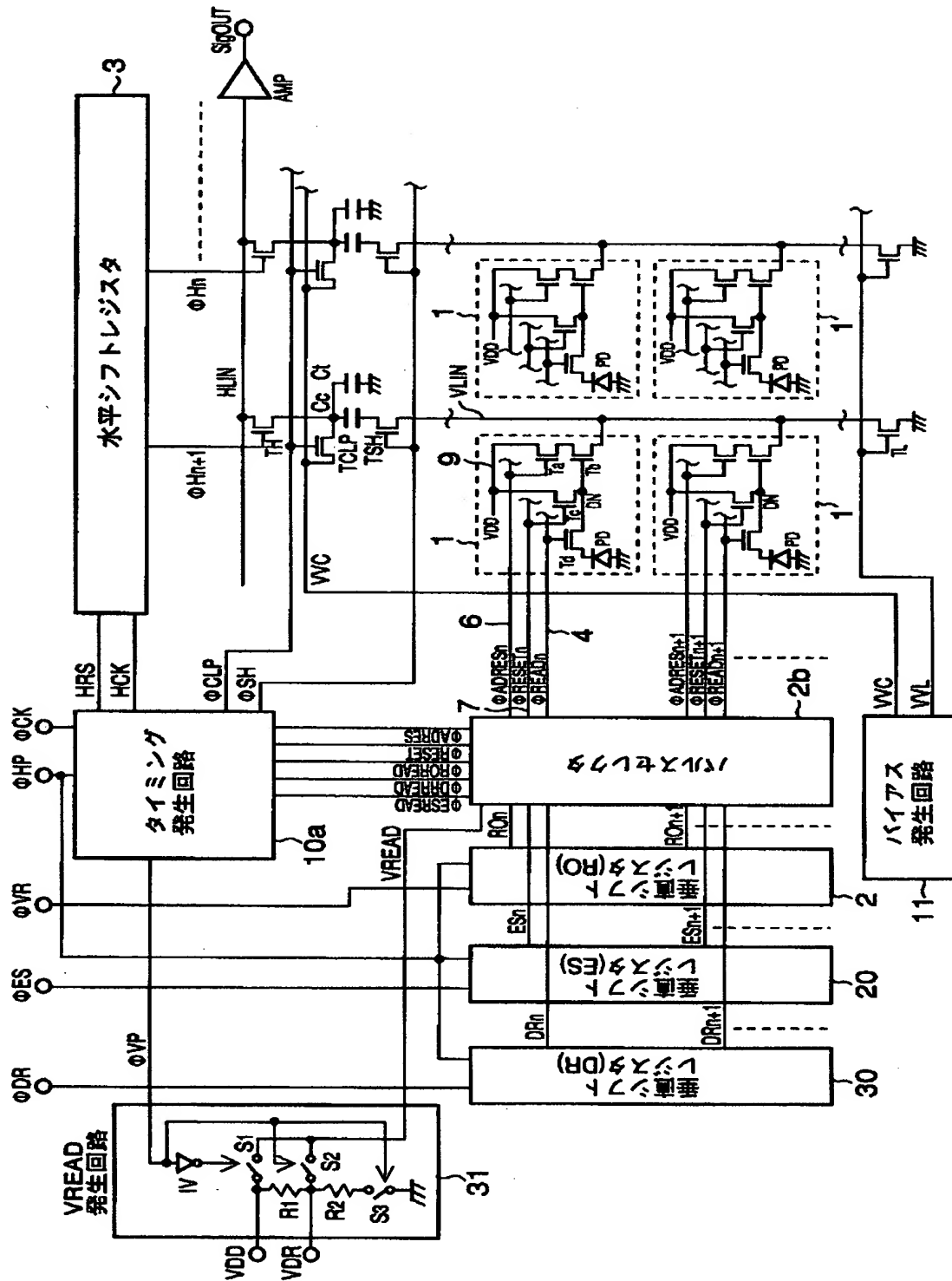
- 1 …単位セル、
- 2 …読み出し用の垂直シフトレジスタ、
- 2b…パルスセクタ回路、
- 3 …水平シフトレジスタ、
- 4 …読み取り線、
- 6 …垂直選択線、
- 7 …リセット線、
- 9 …電源線、
- PD…フォトダイオード、
- Ta…垂直選択トランジスタ（行選択トランジスタ）、
- Tb…増幅トランジスタ、
- Td…読み出しトランジスタ（シャッタゲートトランジスタ）、
- Tc…リセットトランジスタ、
- TL…負荷トランジスタ、
- TH…水平選択トランジスタ、
- VLIN…垂直信号線、
- HLIN…水平信号線、
- AMP …出力増幅回路、
- TSH …サンプルホールド用のトランジスタ、
- Cc…結合コンデンサ、
- Ct…電荷蓄積用のコンデンサ、
- TCLP…電位クランプ用のトランジスタ、
- VVL、VVC …バイアス電圧、
- 10a …タイミング発生回路、
- 11…バイアス発生回路、
- 20…電子シャッタ用の垂直シフトレジスタ、

30…ダイナミックレンジ制御用の垂直シフトレジスタ、  
31…VREAD 発生回路、  
R0i …垂直シフトレジスタ 2 の出力信号（通常読み出し用のパルス）、  
ESi …垂直シフトレジスタ 20 の出力信号（電子シャッタ用のパルス）、  
DRi …垂直シフトレジスタ 30 の出力信号（ダイナミックレンジ制御用のパルス）  
、 $\phi$  VP…切り換え制御信号、  
VDR、VDD …読み出し駆動信号の電圧（読み出し電圧 VREAD ）、  
 $\phi$  HP、 $\phi$  CK…外部入力パルス信号、  
 $\phi$  ROREAD、 $\phi$  ESREAD、 $\phi$  DSREAD、 $\phi$  RESET、 $\phi$  ADRES、 $\phi$  SH、 $\phi$  CLP、 $\phi$  VP、HR  
S、HCK …パルス信号。

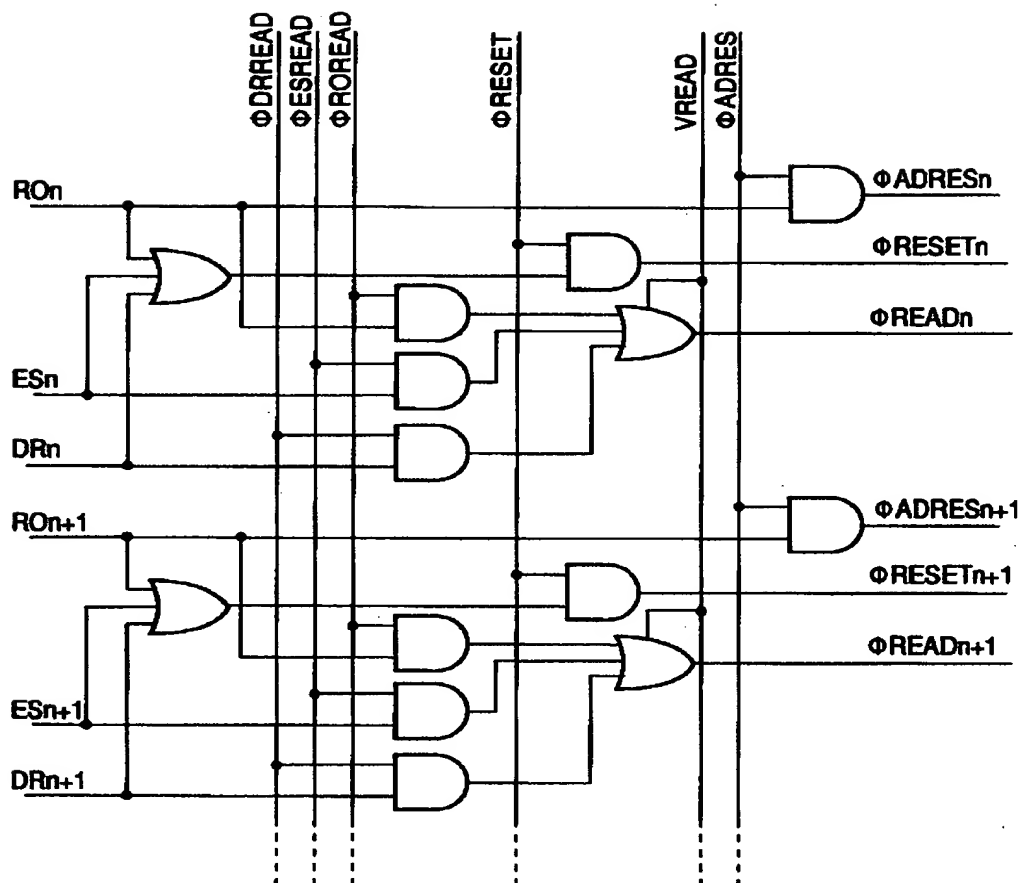
【書類名】

図面

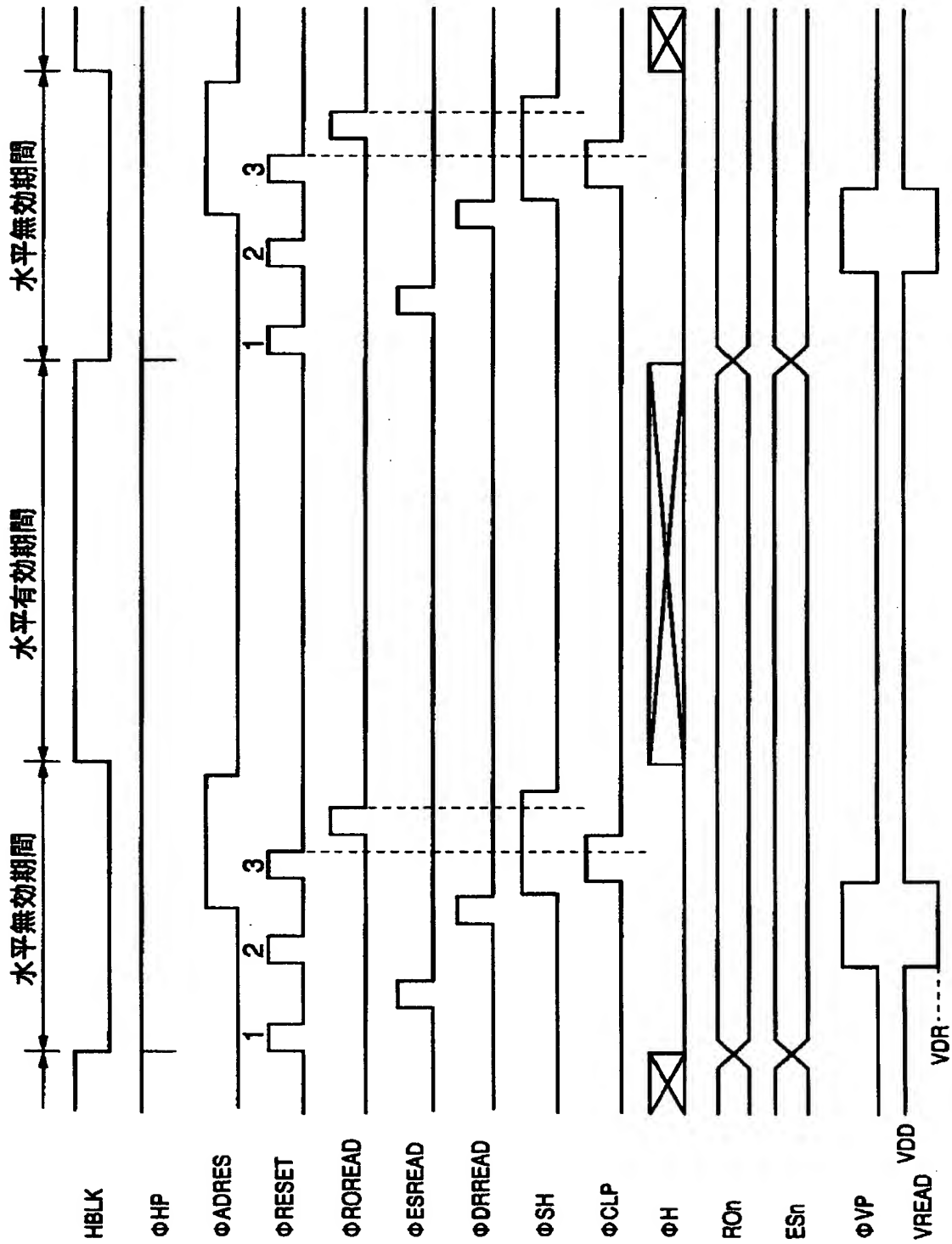
【図 1】



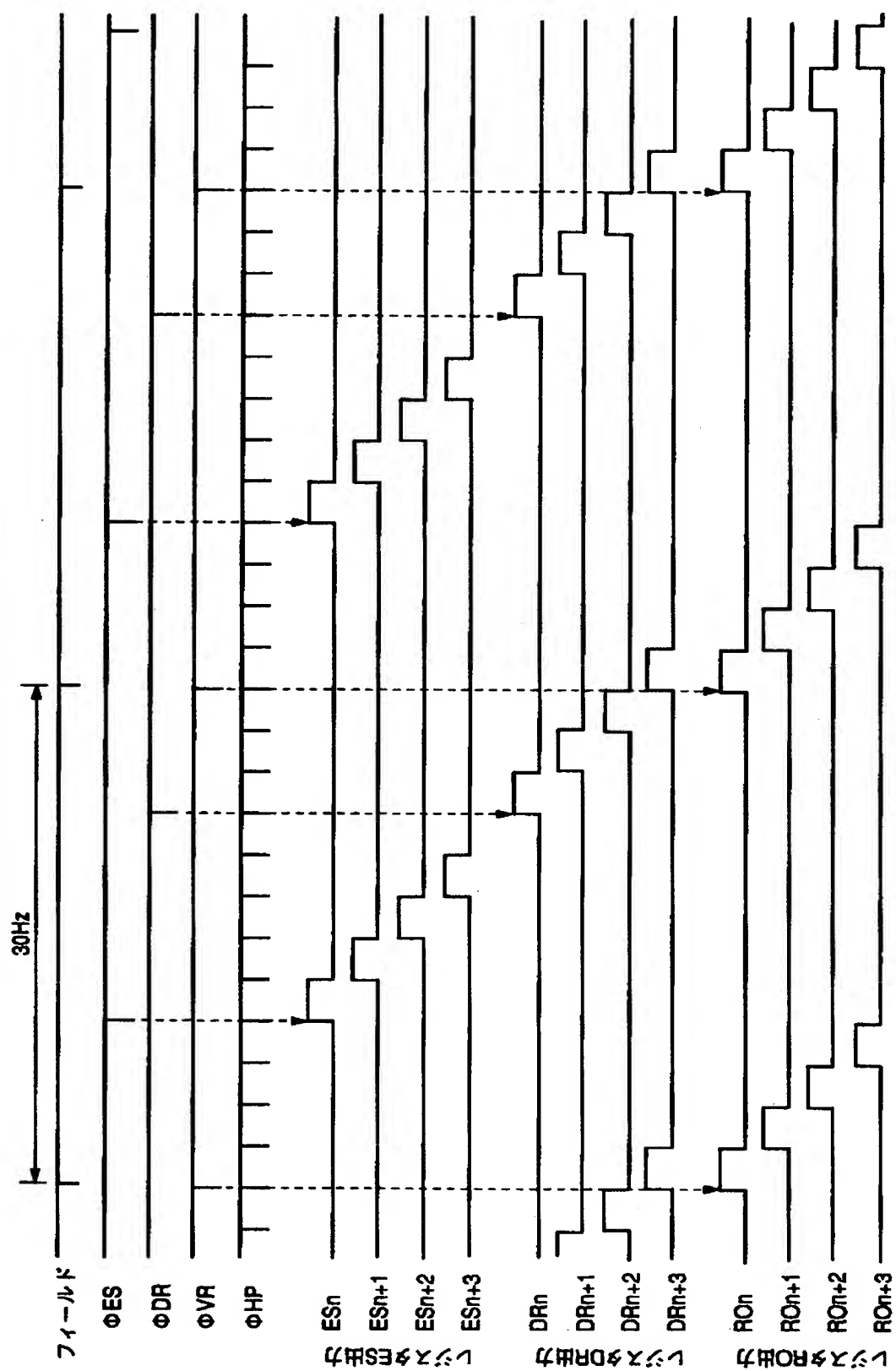
【図 2】



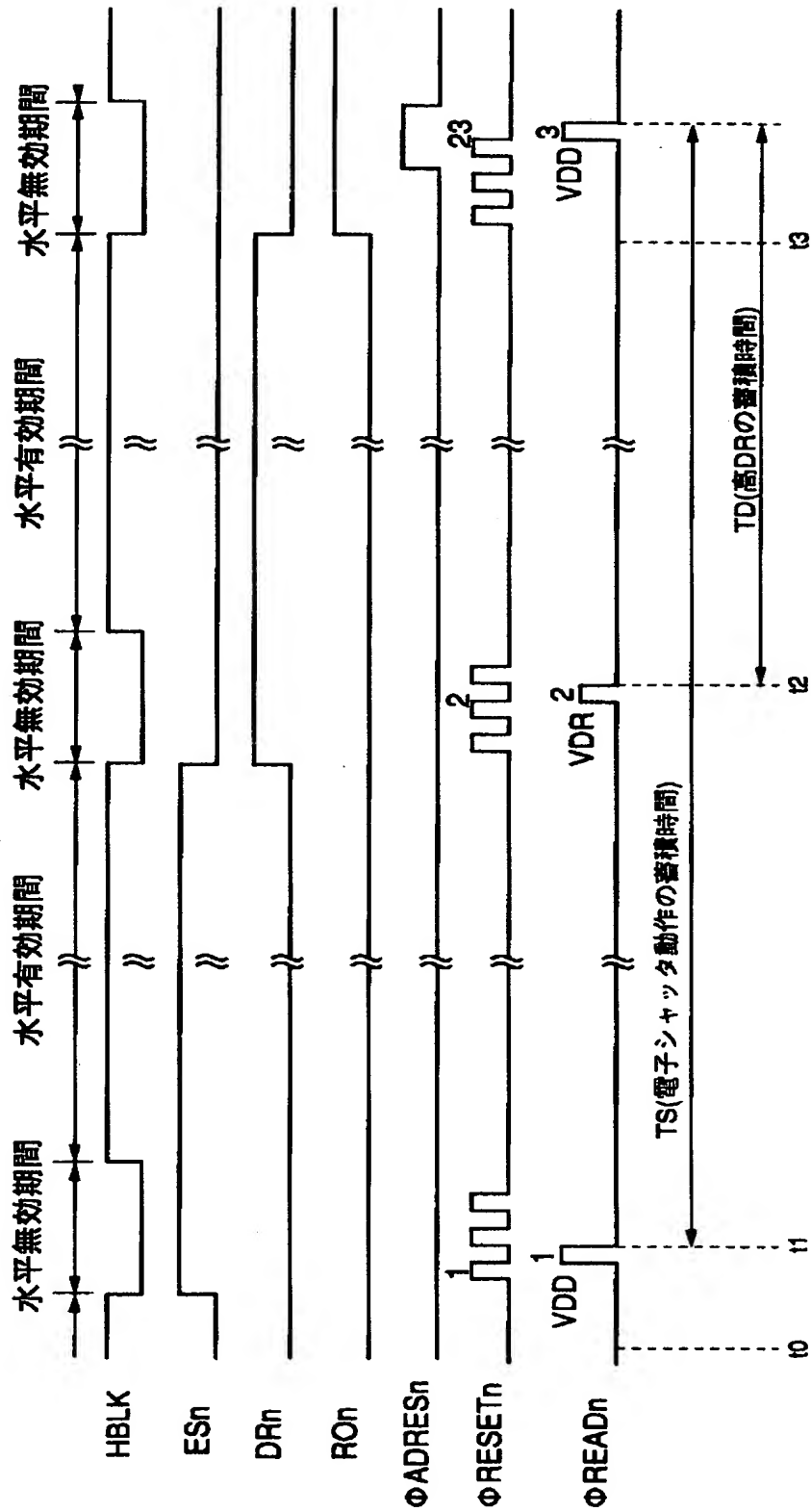
【図 3】



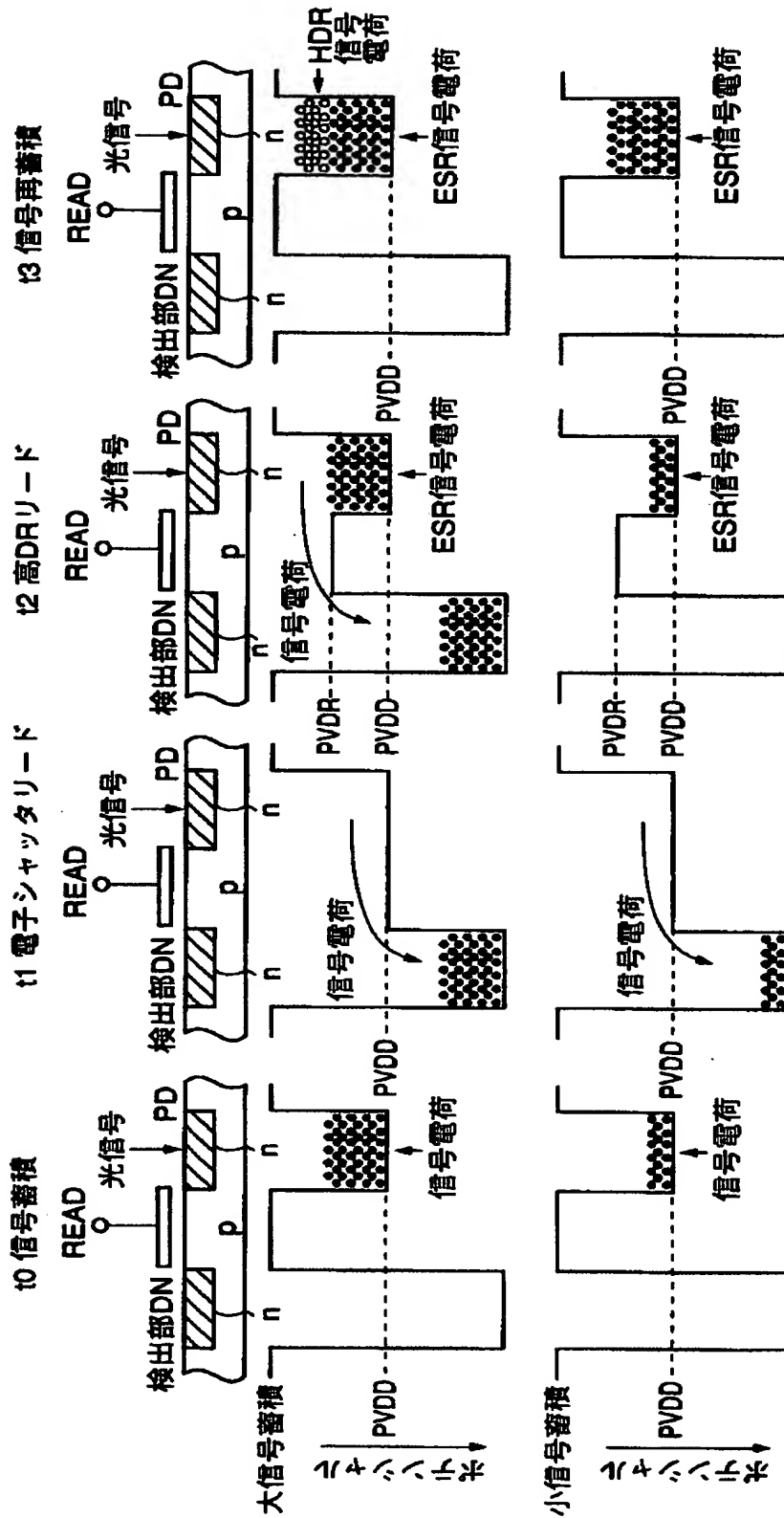
【図 4】



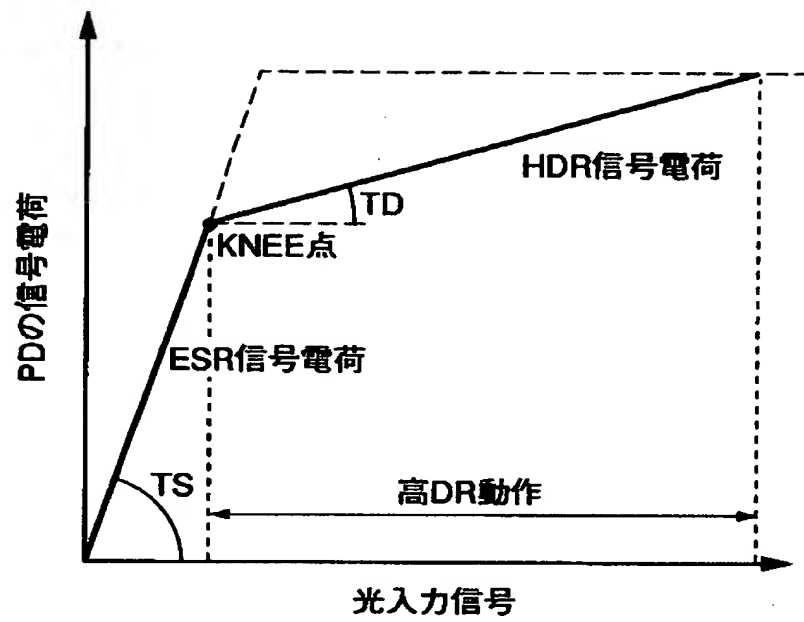
【図 5】

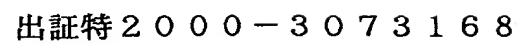


【図 6】

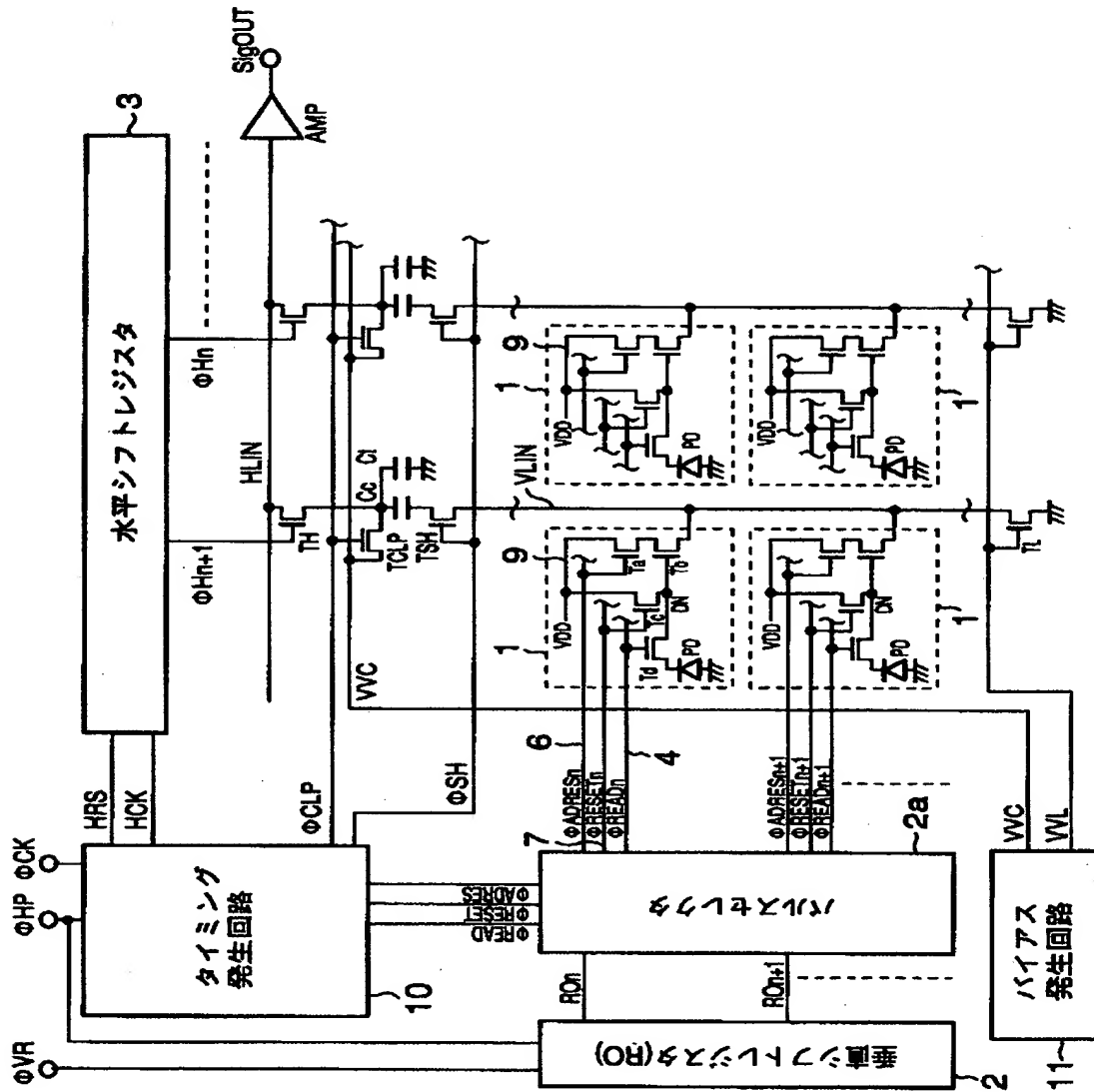


【図 7】

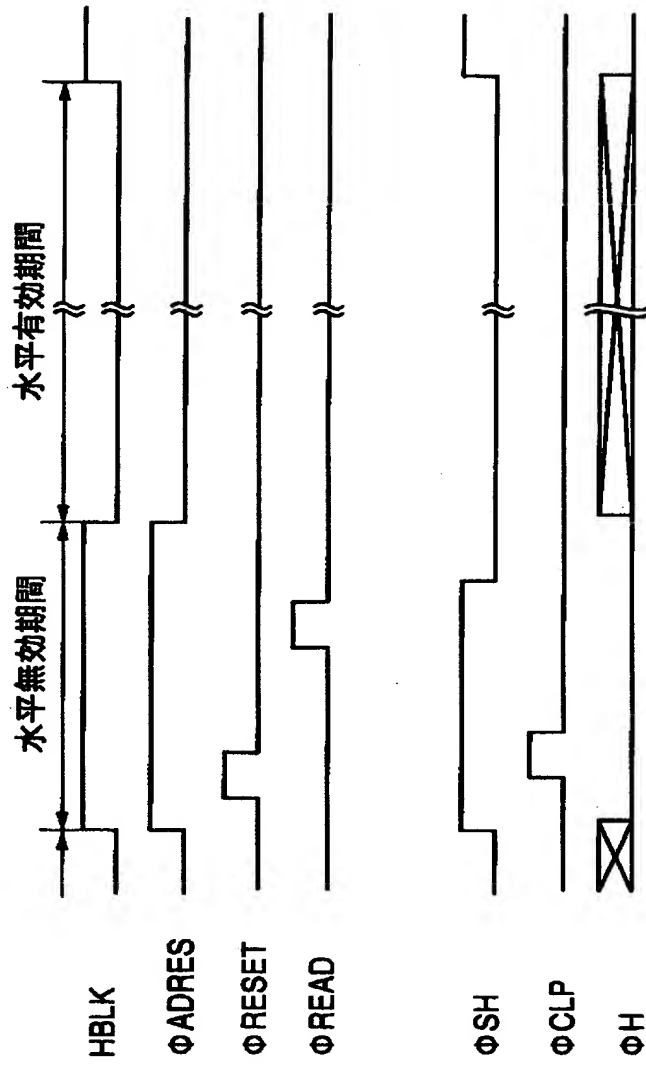




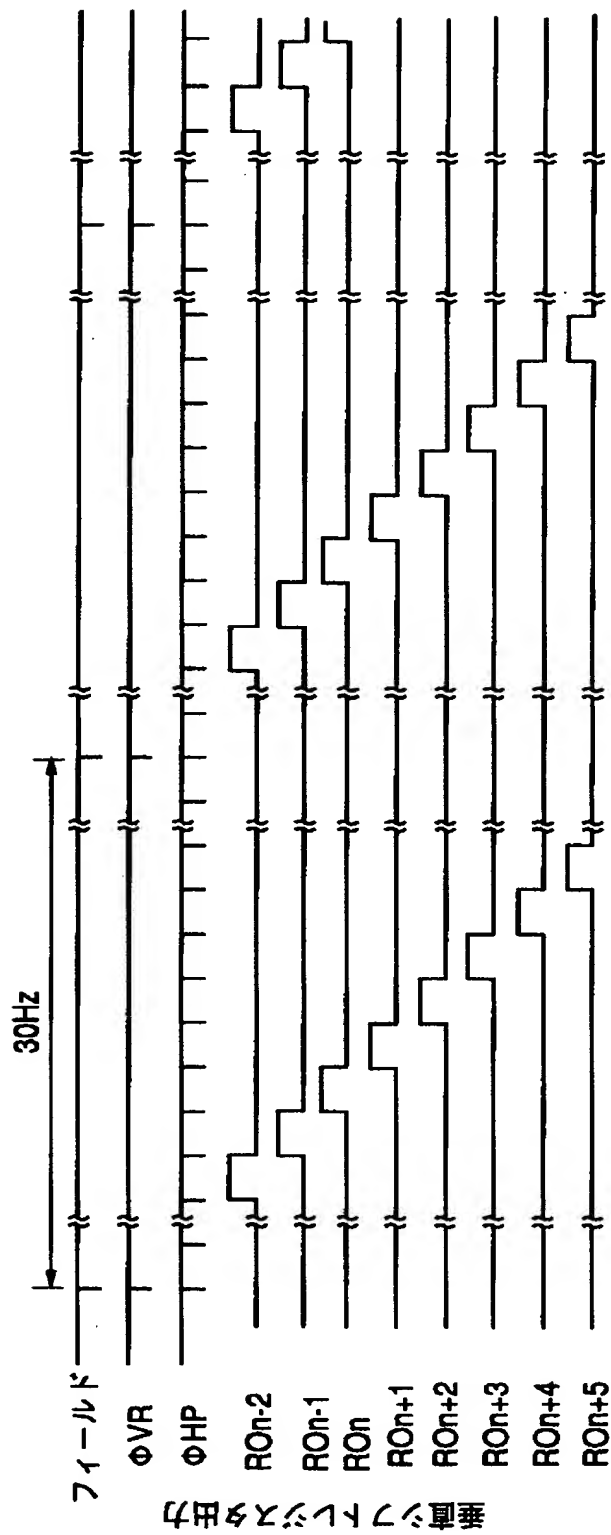
【図 9】



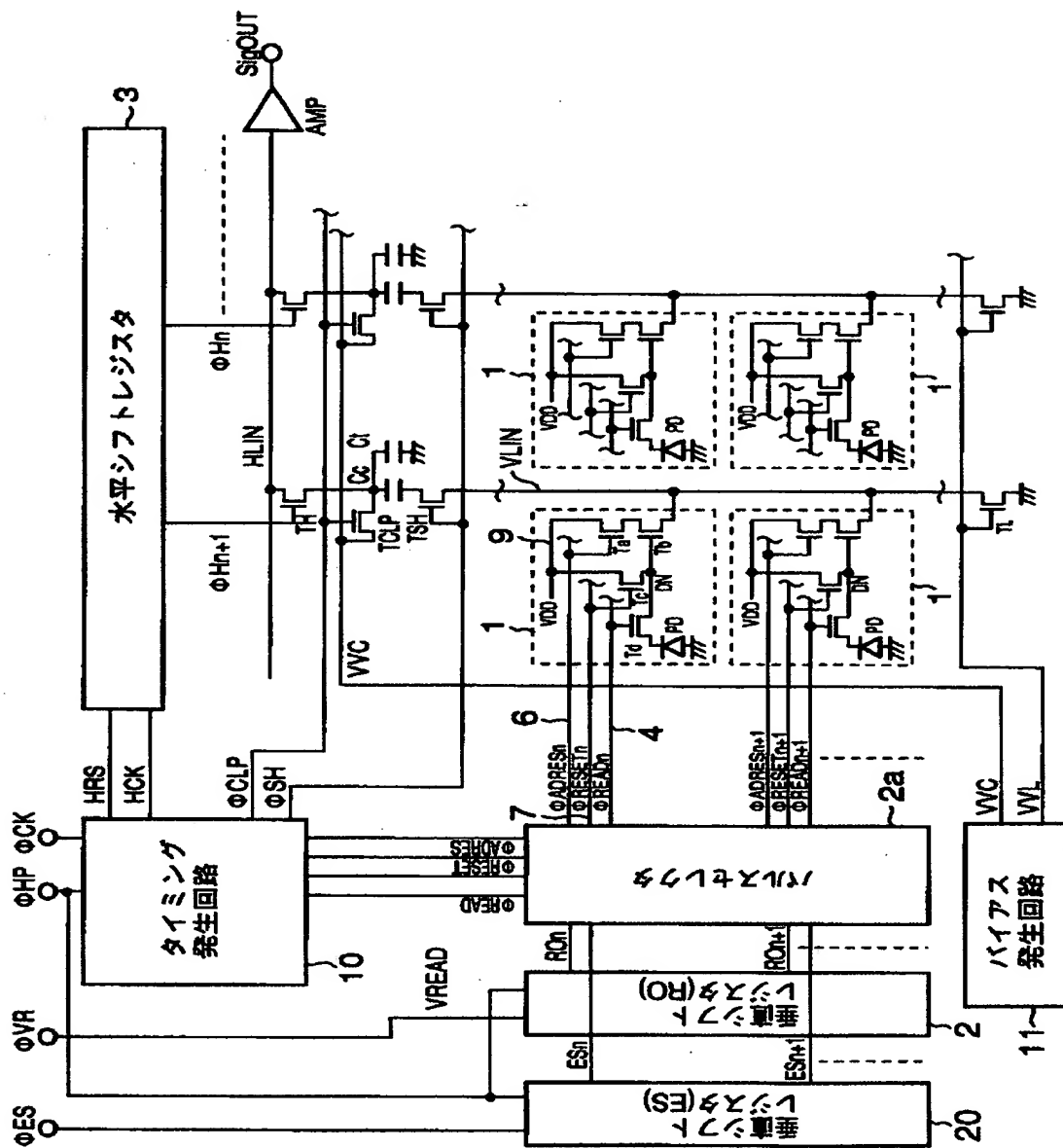
【図 1 0】



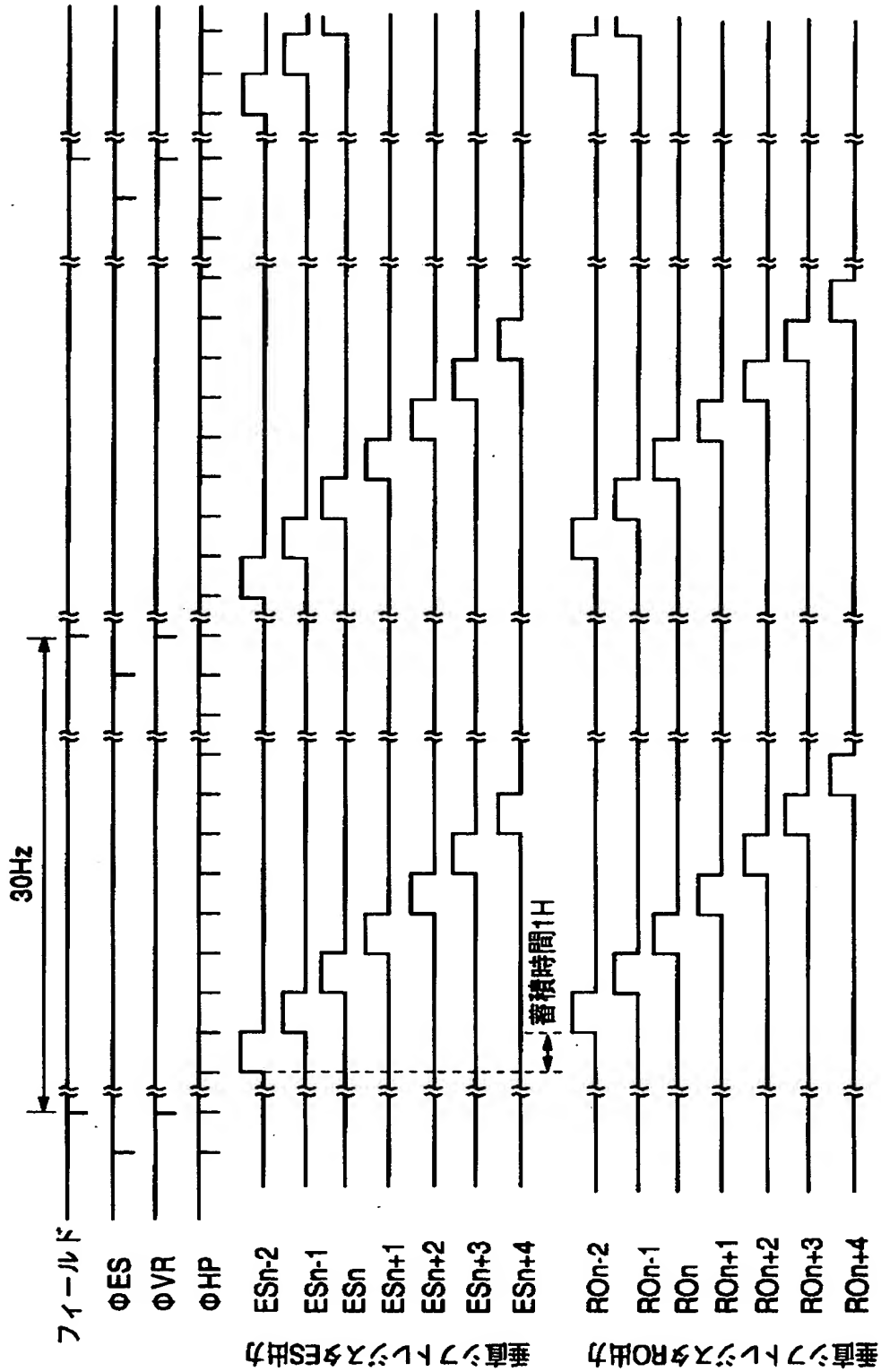
【図 1 1】



【图 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】増幅型のCMOSイメージセンサにおいて、ダイナミックレンジを大幅に拡大し、小信号から大信号までクリップされない良好な画像を得られる。

【解決手段】フォトダイオードPDで光電変換し、蓄積した信号電荷を検出部DNに読み出す読み出しトランジスタTdと、検出部に読み出された電荷を増幅する増幅トランジスタTbとを単一セルとし半導体基板上に二次元的に配置され、複数本の垂直シフトレジスタ2,20,30 で複数の信号電荷読み出しパルスESi、DRi、ROiを発生させ、ダイナミックレンジ制御用の読み出しパルスDRiの電圧VDRを、電子シャッタ用の読み出しパルスESi、通常の読み出しパルスROiの電圧VDDより低く設定する電圧切り換え回路31とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝